

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-241319

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

G03F 1/08  
H01L 21/027

(21)Application number : 04-008872

(71)Applicant : NEC CORP

(22)Date of filing : 22.01.1992

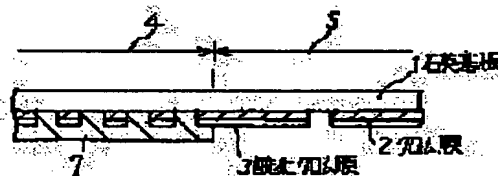
(72)Inventor : NOZUE HIROSHI

## (54) RETICLE FOR SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To provide a reticle capable of exposing without unfocusing even to a semiconductor substrate having a larger step difference than the depth of the focus of an exposer.

**CONSTITUTION:** When a repeated pattern region 4 with a chromium film 2 and a chromium oxide film 3 and a peripheral circuit pattern region 5 are formed on a quartz substrate 1 to obtain a reticle for a semiconductor integrated circuit, a transparent film 7 is formed on the repeated pattern region 4. The optical path length of light passing the film 7, that is, the region 4 is made longer than that of light passing the region 5 and a focal plane on a semiconductor substrate is heightened.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

# BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-241319

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 3 F 1/08		A 7369-2H		
H 0 1 L 21/027		7352-4M	H 0 1 L 21/ 30	3 0 1 P

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-8872

(22)出願日 平成4年(1992)1月22日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野末 寛

東京都港区芝五丁目7番1号日本電気株式会社内

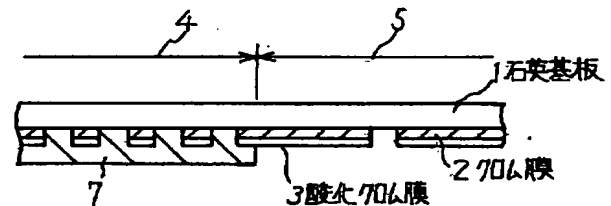
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路用レチクル

(57)【要約】

【目的】露光装置の焦点深度を越える段差を有する半導体基板に対しても焦点外れなく露光できるレチクルを提供する。

【構成】石英基板1上にクロム膜2及び酸化クロム膜3による繰り返しパターン領域4と周辺回路パターン領域5とを有す半導体集積回路用レチクルに於いて、繰り返しパターン領域4上に光透過膜7を設ける。光透過膜7即ち、繰り返しパターン領域4を通る光の光路長を周辺回路パターン領域5を通る光に比べ長くし、半導体基板上での焦点面を高くする。



## 【特許請求の範囲】

【請求項1】 透明基板上にクロム等の金属膜によりパターンが形成された高密度素子領域と低密度素子領域とを有する半導体集積回路用レチクルにおいて、前記高密度素子領域に光透過膜を設けたことを特徴とする半導体集積回路用レチクル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路用レチクルに関する。

## 【0002】

【従来の技術】 高集積度・微細化を要する超LSIのパターンを半導体基板上に形成するためには、微細パターンを正確に形成する縮小投影露光法が用いられている。従来、縮小投影露光方法を用いる装置は図4に示す構造のものが一般的である。

【0003】 図4において21は防震台であり、この防震台21上にはX-Y2方向に移動可能なステージ台22が設置されている。そしてこのステージ台22上には、露光を必要とするウェハ23を載置するウェハ台24が設置されている。また、ウェハ台24の上部に設けられた光源25から発生した紫外光26は、コンデンサレンズ27によって平行光束に集束されて、形成しようとする半導体集積回路のパターンがN倍の大きさに形成してあるレチクル10Aを通過する。レチクル10Aを通過してできたレチクル像は、縮小投影レンズ29によって1/N倍される。即ち、実寸に縮小されたパターンをウェハ23上に結像露光する。

【0004】 ところで、縮小投影レンズ29は、通常露光可能な面積が5~20mm<sup>2</sup>程度であり、それに対して、ウェハ23は100mm~200mm<sup>φ</sup>程度あるので、一度にウェハ23の全面を露光することができない。そのため、ある部分を露光した後に、ステージ台22を動作させて、他の部分を順次露光することを繰り返して、ウェハ23の全面を露光している。

【0005】 図5は従来例のレチクル10Aの平面図である。レチクル10Aのスクライプ線領域6で囲まれる領域がウェハ上に転写される。この領域にはスクライプ線領域6に囲まれた集積回路パターンが2ヶ所に形成されている。集積回路パターンの中は、例えば微細パターンが高密度に配置されたセル部と呼ばれる繰り返しパターン領域4とそれ以外のセル部に比べパターン密度の低い周辺回路パターン領域5より形成されている。

【0006】 図6は図7の拡大断面図である。石英（またはガラス）基板1上には、クロム膜2によって集積回路の素子パターンが形成されている。クロム膜2の表面には反射防止用の酸化クロム膜3が被着されている。レチクル10Aを均一に照明した光9は、クロム膜2の無い部分でのみレチクルを通過し、ウェハ上のホトレジスト膜を露光する。

## 【0007】

【発明が解決しようとする課題】 従来のレチクルは平坦な石英基板上にクロム膜でパターンを形成しているため、ウェハ上に縮小投影されるパターン面は、縮小投影露光装置固有の像面傾斜・湾曲等収差による影響を無視すれば、ウェハ上でウェハに平行な平面となっている。

【0008】 ところで、ウェハ上には製造工程を経るにしたがって、各素子や素子間の配線等のパターンが形成され、凹凸が大きくなっている。特に繰り返しパターン部であるセル部は素子が密に形成され、周辺回路部に比べ、例えば素子間の配線工程では1 $\mu$ m以上も高くなっている。図7は、半導体基板11上に素子が形成されてから、各素子の配線を行なうため、配線材料12と配線回路パターン転写のためのポジ型ホトレジスト膜13が塗布されているときの断面図である。

【0009】 繰り返しパターン部14には素子16が形成され、周辺回路パターン部15との高さの差dは1 $\mu$ m以上になる場合もある。このウェハに対し露光を行なう場合、レチクルパターンの焦点面17を周辺回路パターン部15に於けるホトレジスト膜13に合わせると、パターンが正常に形成される範囲は焦点深度とよばれ、平面18と平面19の間で通常NA0.5を有するi線ステッパで0.5 $\mu$ mパターンを形成する時土0.75 $\mu$ m程度である。繰り返しパターン部14上のホトレジスト膜の部分はこの範囲に入らないため、正常なパターンが形成されないので集積回路装置の性能が劣化して、歩留まりが低くなるという問題があった。

【0010】 本発明の目的は上記の欠点を除去し、工程上高さが異なる半導体基板上の高密度素子領域と低密度素子領域とで正常にパターンが形成される半導体集積回路用レチクルを提供することにある。

## 【0011】

【課題を解決するための手段】 本発明の半導体集積回路レチクルは、透明基板上にクロム等の金属膜によりパターンが形成された高密度素子領域と低密度素子領域とを有する半導体集積回路用レチクルにおいて、前記高密度素子領域に光透過膜を設けたものである。

【0012】 高密度素子領域を通過する光は、光透過膜の膜厚をt、屈折率をnとすると、低密度素子領域を通過する光に比べt $\times$ (n-1)だけ縮小投影レンズ中心まで長い距離を進むことになる。従って、縮小投影露光装置の縮小率がNの場合、ウェハ面上で高密度素子部の焦点面は、低密度素子部よりもt $\times$ (n-1)/Nだけ高くなり（レンズに近くなり）、ウェハが段差を有していても段差の上下ともに焦点を合わせる事が可能となり、正確なパターンを形成することができる。

## 【0013】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1および図2は本発明の第1の実施例の

上面図および拡大断面図である。

【0014】図1および図2において、石英基板1上にはクロム膜2と反射防止用の酸化クロム膜3からなる素子パターンが形成され、低密度素子からなる周辺回路パターン領域5に囲まれた高密度素子からなる繰り返しパターン領域4が形成されている。そして特に、この繰り返しパターン領域4には、スパッター法による $\text{SiO}_2$ からなる光透過膜7が設けられている。光透過膜としてはこの他に、有機ベースのSOG膜、ITO膜、 $\text{PbO}_2$ 膜等を用いることができる。尚図1において6はスクライプ線領域である。

【0015】このように構成された本実施例のレチクル10では屈折率 $n=1.64$ の $\text{SiO}_2$ 膜を膜厚 $t=7.8\mu\text{m}$ で形成した場合、光透過膜7を通過する光、即ち繰り返しパターン領域4を通過する光は、周辺回路パターン領域5を通過する光に対し、 $t \times (n-1) = 7.8 \times (1.64-1) \approx 5\mu\text{m}$ だけ空气中を長く通過したことと同等となる。従ってウェハ上では、ステップの縮小率 $N=5$ とすると、 $5/5=1\mu\text{m}$ だけ焦点面が高くなる。このためウェハ上で $1\mu\text{m}$ の段差があっても、焦点がはずれることなく全面に渡ってパターンが正確に形成される。

【0016】尚、ここでは光透過膜として厚さ $7.8\mu\text{m}$ の $\text{SiO}_2$ 膜を用いたがこれに限られるものではない。また、ウェハ上での段差も $1\mu\text{m}$ に限るわけではなく、段差によって光透過膜の膜厚は適宜制御されるものである。

【0017】図3は本発明の第2の実施例の断面図である。この第2の実施例では、繰り返しパターン領域4に光透過膜7を形成すると共に、周辺回路パターン領域5の石英基板裏面に、露光の吸収膜8を形成したものである。これは光透過膜7を通過する光がこの光透過膜7によりやや吸収され強度が下がってしまう為、周辺回路パターン領域5を通る光も光吸収膜8によって同程度吸収させ、レチクル下で均一な光強度を得るものである。

約 $1\mu\text{m}$ 厚さの $\text{SiO}_2$ 膜で、水銀のi線を約4%程度を吸収する。

【0018】光吸収膜8はクロムパターンよりも上方、即ち縮小投影レンズの反対側にあるため、ウェハ上で焦点面は変化しない。これにより、ウェハ上で所望の焦点面を持ち、かつ均一な強度を持った露光が行なわれるため、正確なパターンが得られる。

【0019】

【発明の効果】以上説明したように本発明は、レチクル表面の高密度素子領域に光透過膜を形成することにより、ウェハ上に大きな段差があっても、ウェハ上に露光される光の焦点面が調整できるため、設計寸法通りの高精度パターンを形成できる。このため高性能、低価格の集積回路が多量に安定供給できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の上面図。

【図2】第1の実施例の断面図。

【図3】第2の実施例の断面図。

【図4】縮小投影露光装置の構成図。

【図5】従来例の上面図。

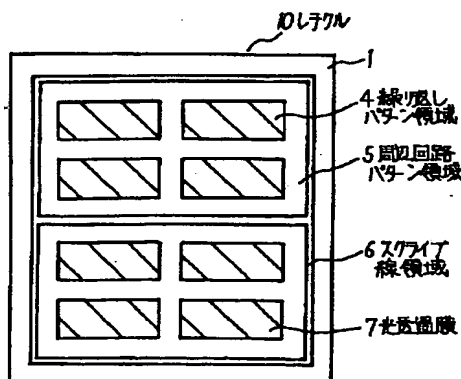
【図6】従来例の断面図。

【図7】従来例を説明するための半導体チップの断面図。

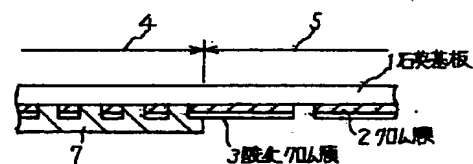
【符号の説明】

- 1 石英基板
- 2 クロム膜
- 3 酸化クロム膜
- 4 繰り返しパターン領域
- 5 周辺回路パターン領域
- 6 スクライプ線領域
- 7 光透過膜
- 8 光吸収膜
- 9 光
- 10、10A レチクル

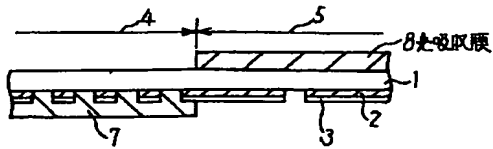
【図1】



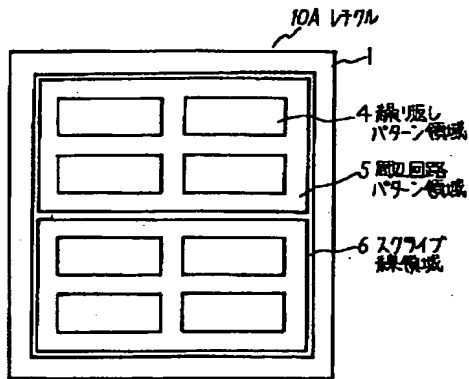
【図2】



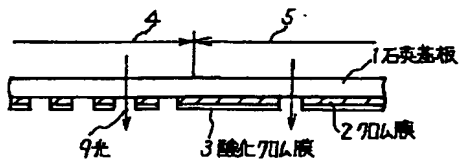
【図3】



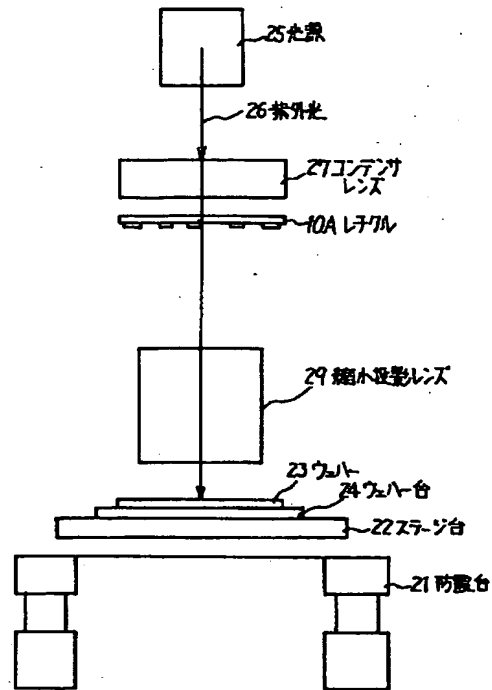
【図5】



【図6】



【図4】



【図7】

